

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-246865

(43)Date of publication of application : 19.09.1997

(51)Int.Cl.

H03B 5/20
H03B 27/00
H03K 3/0231
H03K 3/03

(21)Application number : 08-057101

(71)Applicant : NIPPON TELEGR & TELEPH CORP
<NTT>

(22)Date of filing : 14.03.1996

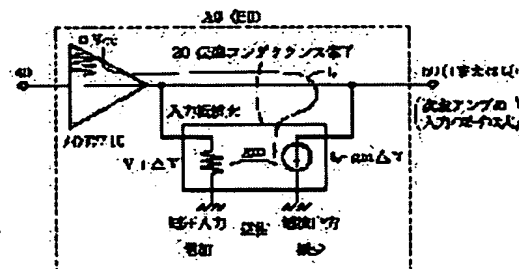
(72)Inventor : SHIOJIMA KENJI
TSUKAHARA TSUNEO
ISHIKAWA MASAYUKI

(54) VOLTAGE CONTROLLED QUADRATURE OSCILLATOR

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a 2-stage ring oscillator in which a high frequency quadrature output signal is obtained with a simple circuit configuration by forming an amplifier of each stage with a main amplifier and a transfer conductor element.

SOLUTION: When a voltage at an output terminal 50 rises by a ΔV , an input to a transfer conductance element 20 rises by the value ΔV . Since the transfer conductance g_m is negative, the voltage increase of ΔV results in a voltage reduction by $g_m \times \Delta V$ and a voltage drop across an output resistor in a main amplifier 10 is reduced. That is, the voltage at the output terminal 50 rises. This means a positive feedback from the output terminal 50 to the transfer conductance element 20. Thus, the positive feedback loop consisting of a loop from the output terminal 50 to the transfer conductance element 20 is connected to an output of the main amplifier 10 to provide a gain of the unity or over to the main amplifier even when a phase is rotated by 90° . Thus, in the case of connecting the oscillators in two stages, the resulting delay time is $1/4$ period (90°) by the amplifiers A0, B0 to decide the oscillating frequency. Thus, the oscillating frequency is changed by changing a circuit current of a required element or changing a positive feedback amount.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-246865

(43) 公開日 平成9年(1997)9月19日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所	
H 0 3 B	5/20		H 0 3 B	5/20	Z
	27/00			27/00	
H 0 3 K	3/0231		H 0 3 K	3/03	
	3/03			3/023	A

審査請求 未請求 請求項の数6 O L (全 6 頁)

(21) 出願番号 特願平8-57101

(22) 出願日 平成8年(1996)3月14日

(71) 出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72) 発明者 塩島 謙次

東京都新宿区西新宿三丁目19番2号 日本

電信電話株式会社内

(72) 発明者 東原 恒夫

東京都新宿区西新宿三丁目19番2号 日本

電信電話株式会社内

(72) 発明者 石川 正幸

東京都新宿区西新宿三丁目19番2号 日本

電信電話株式会社内

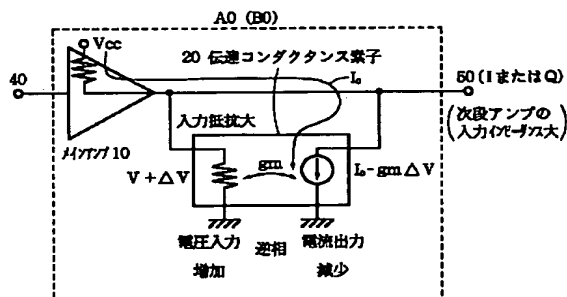
(74) 代理人 弁理士 小林 将高

(54) 【発明の名称】 電圧制御型直交発振器

(57) 【要約】

【課題】 簡単な回路構成で、直交出力信号が得られる電圧制御型直交発振器を提供することである。

【解決手段】 正、負の出力を行うアンプA0とB0を2段リング状に接続した電圧制御型直交発振器であって、各アンプA0、B0を、メインアンプ10と伝達コンダクタンス素子20で構成し、各素子の所要のものの回路電流を変化させて発振周波数を変える構成を特徴としている。



1

【特許請求の範囲】

【請求項 1】 正、負の出力を行うアンプを 2 段リング状に接続した電圧制御型直交発振器において、各段のアンプがメインアンプと伝達コンダクタンス素子で構成されたことを特徴とする電圧制御型直交発振器。

【請求項 2】 各段のアンプにおいて、前記メインアンプの正出力が前記伝達コンダクタンス素子の正入力に接続され、前記メインアンプの負出力が前記伝達コンダクタンス素子の負入力に接続され、さらに、前記伝達コンダクタンス素子の正出力および負出力が、それぞれ前記各段のアンプの正出力および負出力となることを特徴とする請求項 1 記載の電圧制御型直交発振器。

【請求項 3】 1 段目のアンプの正出力および負出力を、それぞれ 2 段目のアンプの正入力および負入力に接続し、また、2 段目のアンプの正出力および負出力を、それぞれ 1 段目のアンプの負入力および正入力に接続したことを特徴とする請求項 2 記載の電圧制御型直交発振器。

【請求項 4】 メインアンプと伝達コンダクタンス素子の、どちらか一方、または双方向の回路電流を変化させることにより、発振周波数を変化させることを特徴とする請求項 3 記載の電圧制御型直交発振器。

【請求項 5】 伝達コンダクタンス素子の入力の直前に可変インピーダンス回路を接続し、該インピーダンスの値を変えることにより、発振周波数を変化させることを特徴とする請求項 3 記載の電圧制御型直交発振器。

【請求項 6】 可変インピーダンス回路は、エミッタホロア、またはソースホロア回路で構成し、これらの回路電流を変化させることにより、該インピーダンスの値を変えることを特徴とする請求項 5 記載の電圧制御型直交発振器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は簡単な回路構成で高周波な直交出力信号が得られる 2 段リング発振器を用いた電圧制御型直交発振器に関するものである。

【0002】

【従来の技術】 デジタルセルラー、PHSをはじめとするデジタル通信の携帯端末の開発がめざましく、小型、軽量、低消費電力化が要求されている。この方式においては、QPSK 等の直交変復調方式が用いられており、高い位相精度をもつ位相が 90 度異なる 2 つの差動信号（90 度の位相差を持つ 4 相信号）が変復調器のローカル信号（LO）として必要とされる。従来用いられている方法を図 8 に示す。

【0003】 図 8（a）において、100 はローカル信号発振器、200 は FF（フリップフロップ）型の 90 度移相器、300 は直交変調器、I、Q は互いに 90° の位相差をもつ差動信号を示す。図 8（a）はフリップフロップ（FF）回路を用いた例であり、LO の 2 倍の

2

周波数の信号を 90 度移相器 200 に入力し、分周動作を行うことにより位相が 90 度異なる 2 つの差動信号 I、Q を得ている。直交変調器 300 では、ベースバンド信号と差動信号 I、Q との乗算が行われ、高周波信号 RF が出力される。しかし、この回路ではローカル信号 LO の周波数 f の 2 倍の周波数 $2f$ の信号を発生させる必要があり、変復調の高周波化には不利である。

【0004】 図 8（b）は抵抗とコンデンサのフィルタにより 90 度移相器 201 を構成し 90 度の位相差を持たせる CR 型の回路である。この回路では、入力の周波数 f が変化した場合、振幅が等しくかつ、位相が 90 度異なる 2 つの信号を得るには抵抗、またはコンデンサの値を可変電圧源 202 によりバイアス電圧を変えて微調する必要がある。

【0005】 そこで、近年、図 8（c）のような偶数段構成のリング発振器 101 の使用が考えられている。リング発振器 101 は移相器を必要とせず、リング発振器 101 から直接 90 度異なる 2 つの差動信号 I、Q が直接取り出せる。よって、回路が簡略化され、また調整の必要がないという利点がある。発振の高周波化を考えた場合、リング発振器の段数が最小、即ち 2 段構成にする必要がある。図 9 に 2 段リング発振器の原理を示す。

【0006】 図 9 において、A、B はアンプで、アンプ A の出力が反転せずにそのままアンプ B の入力に接続され、アンプ B の出力は反転してアンプ A の入力に接続されている。この構成により発振が起り、目的の信号を取り出すことができる。

【0007】

【発明が解決しようとする課題】 発振条件を満足するには、アンプ A、及びアンプ B 内でそれぞれ位相が 90 度回転し、かつ利得が 1 倍である必要がある。この条件で 90 度位相の異なる 4 つの信号を取り出せる。しかし、アンプ A、及び B を構成が単純な一段のアンプ（単一極を持っている）で構成すると、図 10 に示すとおり位相が 90 度回転する条件では利得が 0 倍となり、発振が起らない。

【0008】 すなわち、図 10 において α はゲイン特性曲線、 β は位相特性曲線であり、周波数 f_1 においてはゲインが 0 dB であるが位相は 90 度回転していないので発振はしない。また、周波数 f_2 においては、位相は 90 度回転しているがゲインが 0 dB 以下であり、これもまた発振しない。すなわち、図 10 に示すような条件では発振は起らない。

【0009】 本発明の目的は、簡単な回路構成で直交出力信号が得られる電圧制御型直交発振器を提供することにある。

【0010】

【課題を解決するための手段】 本発明は、2 段リング発振器の各段アンプに正帰還ループを付加することにより発振を可能にし、簡単な回路構成で高周波な直交出力信

10

20

30

40

50

号が得られることを実現できるようにしたものである。

【0011】

【作用】図1は、本発明の基本概念を説明するための図である。図1において、10はメインアンプ、20は伝達コンダクタンス g_m の伝達コンダクタンス素子、40は入力端子、50は出力端子であり、図9のアンプAまたはBに相当するアンプA0またはB0を示している。なお、 g_m は伝達コンダクタンスを示す。ここで、出力端子50の電圧が ΔV だけ上昇したとすると、すなわち伝達コンダクタンス素子20の入力も ΔV だけ上がる。伝達コンダクタンス g_m は逆相であるので、 ΔV の電圧増加は $g_m \times \Delta V$ の電流減少を導く。するとメインアンプ10内の出力抵抗の電圧降下が減少する。すなわち、出力端子50の電圧が上がる。これが正帰還である。このように、メインアンプ10の出力に伝達コンダクタンス素子20で構成された正帰還ループを接続し、位相が90度回転したときでも1以上のゲインを持たせている。よって、図9のように2段に接続すればアンプA0、及びB0での遅延時間が1/4周期(90度)となり、発振周波数が決定される。

【0012】発振周波数の可変は図2(a)、(b)に示すような2つの手法が考えられる。1つは図2(a)のようにメインアンプ10のみ外部可変電流源V1を用いるか、または伝達コンダクタンス素子20のみ外部可変電流源を用いるか、または両方の回路全体のバイアス電流を外部可変電圧源により変化させる方法である。

【0013】もう1つは図2(b)のように正帰還量の可変インピーダンス回路30を帰還ループ内に直列に挿入してインピーダンスの変化により発振周波数の可変を実現する方法である。前者は帰還量が大きい大きな出力振幅が得られる。後者はメインアンプ10、伝達コンダクタンス素子20の動作状態に変化がないので、出力信号のDCレベルが変動しないという特徴がある。

【0014】

【実施例】

【実施例1】図3、図4は、本発明の第1の実施例を、バイポーラトランジスタ対により実現した回路図と、そのブロック図である。図3において、Q1~Q12はトランジスタ、R1~R8は抵抗、VEは可変電圧源、n1~n3、n11~n13、n21、n22はノード、Vccは電源、loq、loqbは差動信号Qの出力端子、loi、loi bは差動信号Iの出力端子を示す。図4において、10はメインアンプ、20は伝達コンダクタンス素子であり、図3と同じ部分には同じ符号を付して対応付けしている。トランジスタ対Q1、Q2、並びにQ5、Q6によりメインアンプ10がそれぞれ構成され、トランジスタ対Q3、Q4、並びにQ7、Q8により伝達コンダクタンス素子20がそれぞれ構成されている。この実施例では周波数を変化させるのに回路全体の電流を可変電圧源VEを可変することにより行ってい

る。トランジスタQ1、Q2のコレクタ、及びトランジスタQ5、Q6のコレクタから位相が90度異なる、2つの差動信号Q、Iの出力が得られる。90度性が0.1度以下であることをシュミレーションにより確認できた。

【0015】【実施例2】図5、図6は、図3の回路の周波数の可変を帰還ループ内に直列に挿入したエミッタホロア回路に流れる電流を可変することにより行った本発明の第2の実施例である。図5において、図3と同じ部分には同一の符号を付してあり、qe3、qeb3、qe4、qeb4、qe7、qeb7、qe8、qeb8はトランジスタ、re3、re4、re7、re8はトランジスタ、e3、e4、e7、e8はノード、bbe3、bbe4、bbe7、bbe8はエミッタを示す。図6は図5をブロック図で示したもので、図4と同様のものである。トランジスタ対Q1、Q2、並びにQ5、Q6によりメインアンプ10が構成され、トランジスタ対Q3、Q4、並びにQ7、Q8により伝達コンダクタンス素子20が構成されている。トランジスタqe3、qe4、qe7、並びにqe8により可変インピーダンス回路(エミッタホロア回路)が構成されている。この構成によれば、可変電圧源VEを加減することにより図2(b)で説明した原理により正帰還量に変化する。

【0016】図7は、実施例1、2の回路の効果を曲線(i)、(o)で示したシュミレーション結果であり、両者とも高い周波数で発振しており、外部電圧により周波数が制御されている。なお、これらの回路は各トランジスタとして電界効果トランジスタを用いても実現できる事は明らかである。

【0017】

【発明の効果】以上述べたように、本発明は、各段のアンプをメインアンプと伝達コンダクタンス素子で構成したので、簡単な回路構成で高周波な直交出力信号が得られる2段リング発振器を実現できる。そして、所要の素子の回路電流を変化させたり、正帰還量を変化させることで簡単に発振周波数を変化させることができる。

【図面の簡単な説明】

【図1】本発明の基本概念を説明するためのブロック図である。

【図2】本発明における周波数の可変方法を示すブロック図である。

【図3】全電流の変化により周波数を可変した本発明の一実施例を示す回路図である。

【図4】図3の実施例をブロック図で示したものである。

【図5】正帰還量の変化により周波数を可変した本発明の他の実施例を示す回路図である。

【図6】図5の実施例をブロック図で示したものである。

【図7】発振周波数の制御電圧依存性を示す図である。

【図8】直交変調器の基本構成を説明するためのブロック図である。

【図9】リング発振器の原理を説明するためのブロック図である。

【図10】リング発振器の発振不能の状態を説明するための特性図である。

【符号の説明】

A0 アンプ

B0 アンプ

*10 メインアンプ

20 伝達コンダクタンス素子

30 可変インピーダンス回路

40 入力端子

50 出力端子

Q1～Q12 トランジスタ

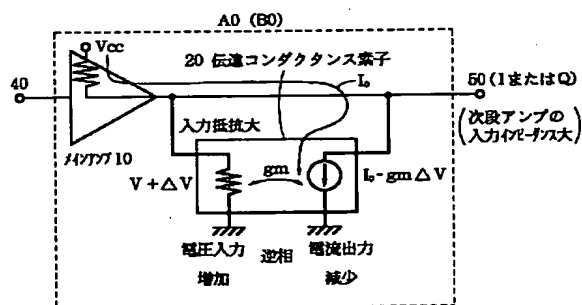
R1～R8 抵抗

Q 差動出力

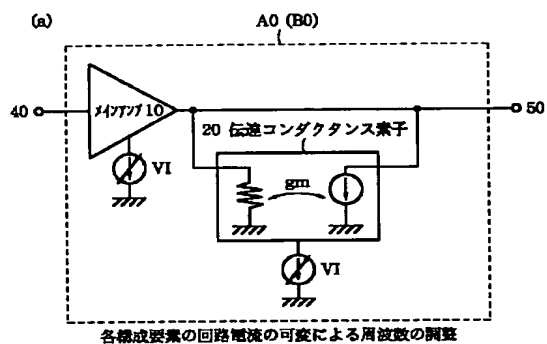
I 差動出力

*10

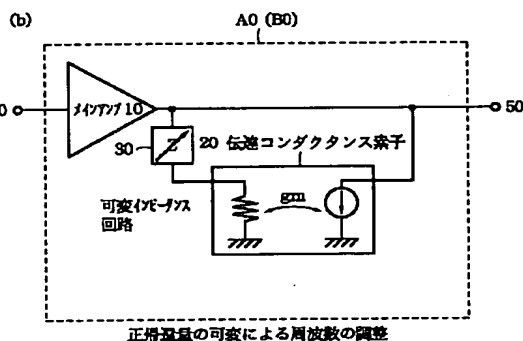
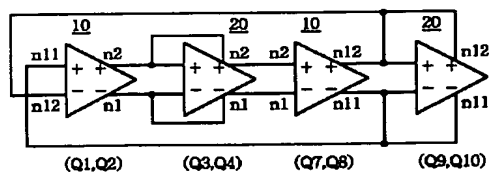
【図1】



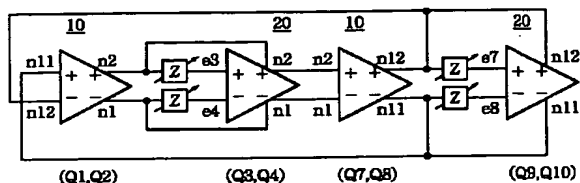
【図2】



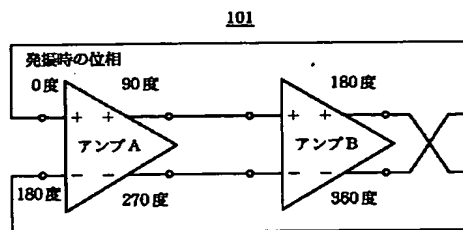
【図4】



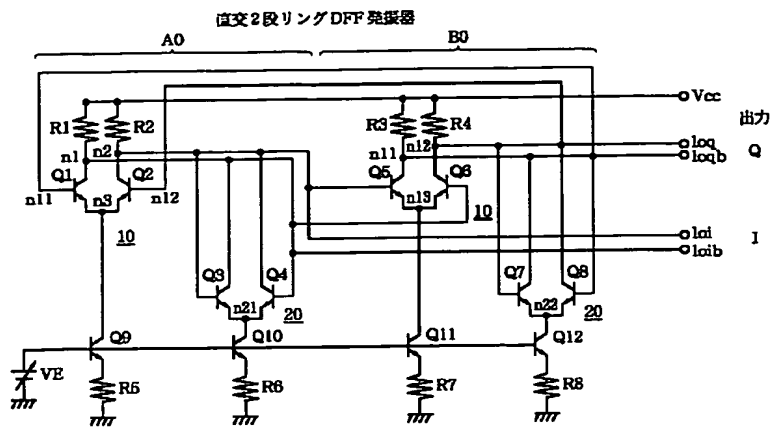
【図6】



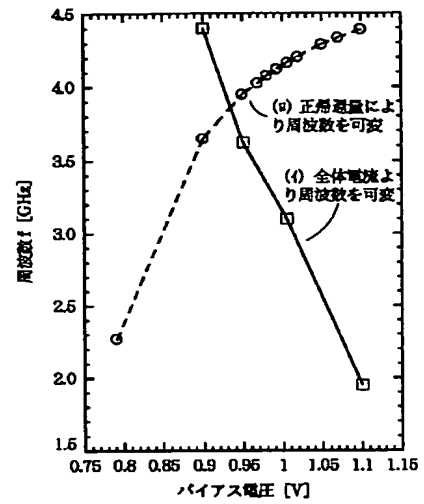
【図9】



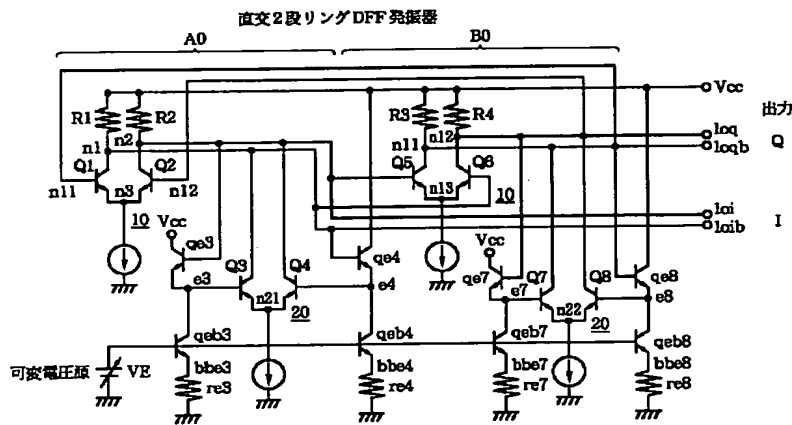
【図3】



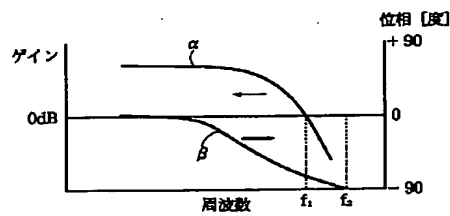
【図7】



【図5】



【図10】



【図8】

